

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

AUTOMATIC LAYOUT DESIGN SYSTEM FOR IC CHIP

Patent Number: JP6216249
Publication date: 1994-08-05
Inventor(s): KAMIMURA TOKUO
Applicant(s): NEC IC MICROCOMPUT SYST LTD
Requested Patent: ☐ JP6216249
Application Number: JP19930003723 19930113
Priority Number(s):
IPC Classification: H01L21/82 ; G06F15/60 ; H01L21/3205
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the breaking of a wiring path or the narrowing of a wiring and to increase an yield in manufacturing chips by providing the system with a flat function which fills an unwired part with dummy graphics.

CONSTITUTION: Conventional automatic layout systems have five major functions including a layout library input function 1, a net list input function 2, an automatic arrangement function 3, an automatic wiring function 4, and a graphic data output function 5. Besides these functions, a flat function 6 is newly added to the conventional system. The flat function 6 is to fill an unwired space of each interconnection layer in the wiring layout where physical positions are already determined by the automatic wiring function. The flat function is executed after the automatic arrangement function 3 and the automatic wiring function 4 are executed. With the flat function, troubles such as the breaking of a wiring path due to a difference in level between the interconnection layers, which has never been considered in the conventional systems, can be 100% prevented.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-216249

(43) 公開日 平成6年(1994)8月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 6 F 15/60	3 7 0 K	7623-5L		
H 0 1 L 21/3205				
		9169-4M	H 0 1 L 21/ 82	C
		7514-4M	21/ 88	S
審査請求 未請求 請求項の数 1 O L (全 6 頁)				

(21) 出願番号 特願平5-3723

(22) 出願日 平成5年(1993)1月13日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 上村 徳夫

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

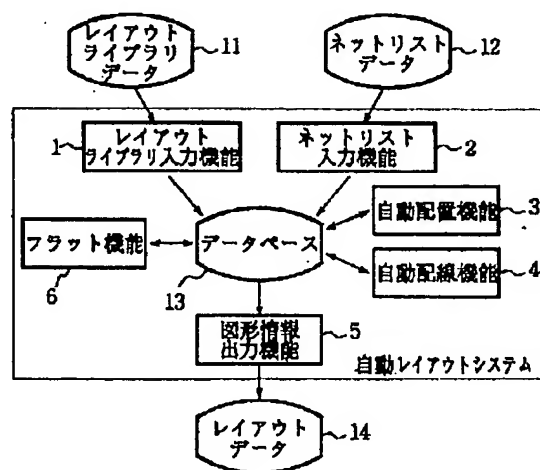
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 ICチップ自動レイアウト設計システム

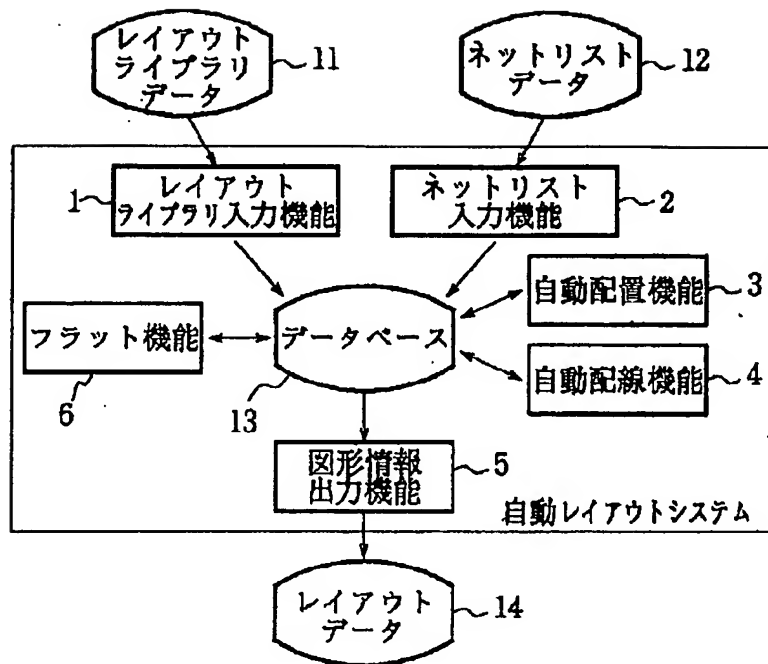
(57) 【要約】

【目的】従来は考慮されていなかった配線層の段差による配線経路の切断や、配線が細くなってしまう問題を、100%防ぐ事が可能になりチップ製造時の歩留りの改善やチップ信頼性の向上を図る。

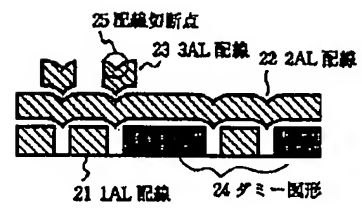
【構成】従来の自動レイアウトシステムに加えてフラット機能6を持つ事を大き、特徴としている。フラット機能6とは、自動配線機能で物理的な位置を決定された配線レイアウト情報の各配線層毎の未配線空間をダミー図形で埋める為の機能である。



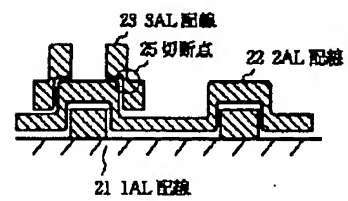
【図1】



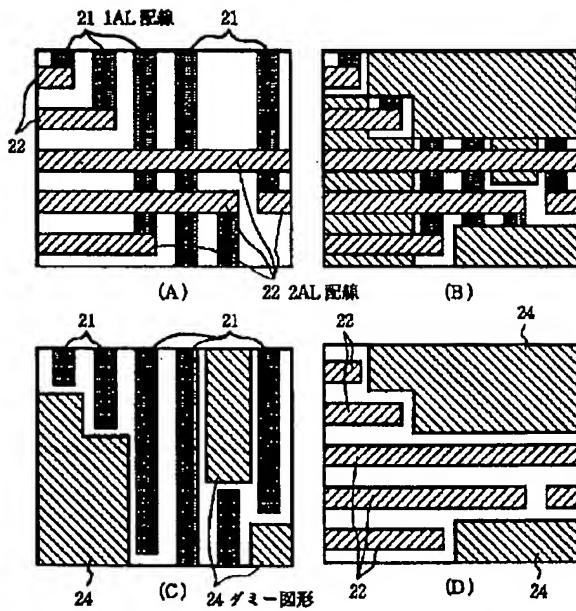
【図3】



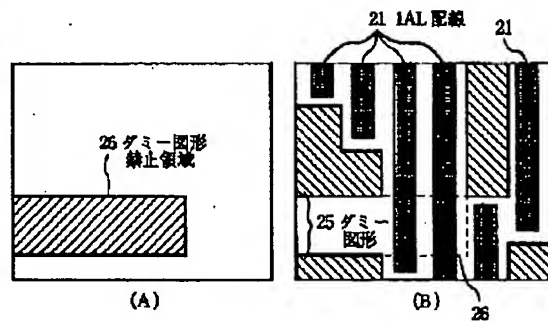
【図7】



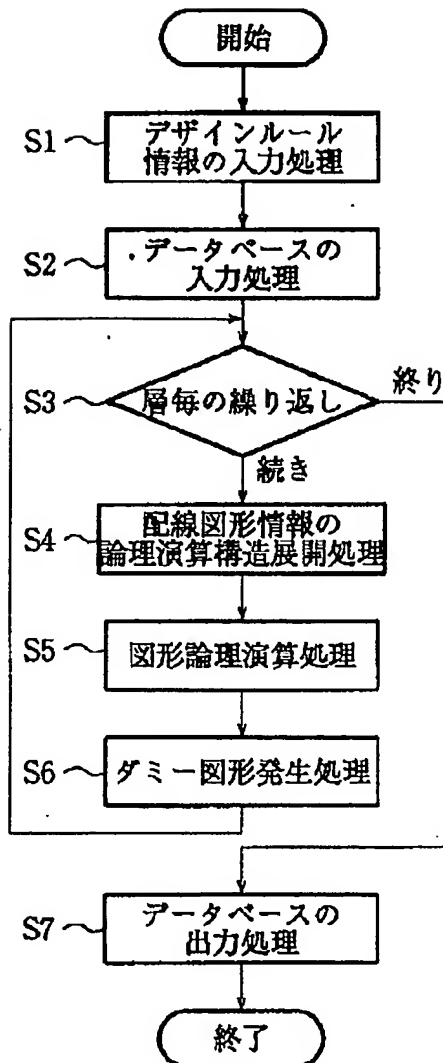
【図4】



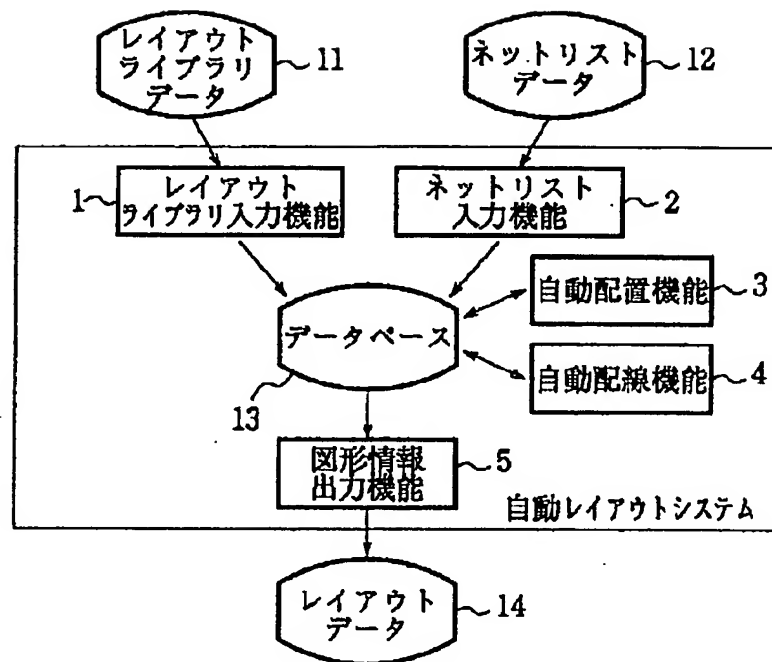
【図5】



【図2】



【図6】



【特許請求の範囲】

【請求項1】 デザインルール情報、データベースを入力し、これらから各配線層の配線図形情報を作成し、前記各配線層の未配線部分にダミー図形を作成し、このダミー図形により前記未配線部分の穴埋めを行うフラット機能を有する事を特徴とするIC自動レイアウト設計システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、自動でLSI、ICのレイアウト設計を行う自動レイアウト設計システムに関する。

【0002】

【従来の技術】 一般に、LSI、ICの設計には、レイアウト設計の工程があり、この工程は、電気回路を実際のシリコンチップ上に実現する為の原図であるマスク図を作成する作業である。超LSIと呼ばれるような数十万個のトランジスタからなる大規模なチップを製造する場合には、人手でマスク図を作成する事は困難となる。そこで、このレイアウト設計をコンピュータを使用して自動レイアウト設計システム（以下自動レイアウトシステムという）が行われる。

【0003】 従来の自動レイアウトシステムの構成について図6を用いて説明する。この図は従来の一般的な自動レイアウトシステムの構成を示している。この自動レイアウトシステムには、レイアウトライブラリ入力機能1、ネットリスト入力機能2、自動配置機能3、自動配線機能4、図形情報出力機能5の五つの大きな機能により実現されている。

【0004】 レイアウトライブラリ入力機能1とは、LSI、ICを作成する為に必要となるものに、セルライブラリと呼ばれるAND、NAND、OR、NOR、EXOR等の電子回路を示す図形情報がある。これらは、LSI、ICを構成する最小の単位と考える事ができ、またその最小単位の電子回路を複数組み合わせ一つのセルライブラリとしたマクロライブラリなどがある。レイアウトライブラリデータ11とは、これらの様々なセル、マクロライブラリのデータである。レイアウトライブラリ入力機能1では、作成するレイアウトに必要なセルライブラリ情報の抽出・選択をしてセルライブラリ情報をデータベース13へ変換（入力）を行う事が主な機能である。

【0005】 ネットリスト入力機能2とは、レイアウトライブラリ入力では、LSI、ICを作成する為の骨組みとなる部品の入力を行うが、LSI、ICの作成材料としてももう一つ必要な情報がある。それは「骨組みであるレイアウトライブラリをどう接続して組み立てるか？」という情報であり、一般にネットリストと呼ばれる。先程説明したレイアウトライブラリである電子回路には、外界と自分との情報交換（情報の入出力）を行う

為の「端子」と呼ばれる部分を持っている。

【0006】 ネットリストデータ12とは、このライブラリと他のライブラリ同士の端子同士の接続関係を表現する情報であり、ネットリスト入力機能2では、作成するレイアウトに必要なセルライブラリ同士の端子の接続関係である、ネットリストの情報をデータベース13へ変換（入力）を行う事が主な機能である。

【0007】 自動配置機能3とは、入力された理論的な情報であるレイアウトライブラリは、LSI、IC製品とする為に物理的な座標位置が必要となる。このレイアウトライブラリには、「LSI、IC上のどの位置に配置するのか？」という配置位置決定の問題があり、この配置位置の善し悪しにより、レイアウト設計後のLSI、ICの大きさ（面積）や性能に多大な影響を与えてしまう。

【0008】 自動配置機能3とは、レイアウトライブラリの大小関係のみならず、ネットリストの接続関係をも考慮した最適なレイアウトライブラリの配置位置を決定しデータベースへその情報を保存する事が主な機能である。

【0009】 自動配線機能4とは、自動配置機能によって配置位置が決定されたレイアウトライブラリには、ネットリストに従ったライブラリ同士の端子を配線で接続する事が必要となってくる。この自動配線機能4では、自動配置機能により配置されたライブラリ同士の間にある空間、またはライブラリ上の空間を利用して、ライブラリ同士の端子の接続配線経路（ネットリスト）の、その経路の物理的な位置を決定し、データベースへその情報（配線図形）を保存する事を主な機能としている。通常の端子間接続を行う配線は、高さで異なる層を持っており、この層を複数使用すると、一本の配線経路（ネットと呼ばれる）によって分断された空間を、層をずらす事により通り抜け（横断）可能となる。従来の自動配線機能は、このような配線層という基本概念を利用してその機能を果たしている。

【0010】 また、配線はデザインルールと言われる配線ルールに従って作成されなければならない。このデザインルールの情報には、「配線グリッド」「各層の配線幅種類」「各層の配線を結ぶコンタクト」「同一層の同一ネット間の必要間隔」「同一層の異なるネット間の必要間隔」「異層の同一ネット間の必要間隔」「異層の異なるネット間の必要間隔」など様々な情報がある。自動配線機能4は、これらのルールを満足した配線結果を作成できるように、複雑なアルゴリズムでその機能を構成されている。

【0011】 図形情報出力機能5とは、自動配置機能4とこの自動配線機能4で作成された、LSI、ICの原図となるレイアウト情報（データベース）は、次の製造工程に引き渡す為、インターフェイスとなる情報に変換する必要がある。図形情報出力機能5では、その変換出

力を行いレイアウトデータ14を作成する事を主な機能としている。

【0012】最近は、LSI、IC製造技術の向上で、接続配線（ネットリスト）を多数の層に分割して配線する配線層の多層化が進んできた。この多層化による自動レイアウトシステムで設計したLSI、ICチップの断面図の一例を、図7に示す。この断面レイアウト図は、1ALと2ALと3ALと三層の配線層21、22、23を使用して設計されている。1AL配線21は配線層の最も下の層を示し、2AL配線22は配線層の中間の層を示し、3AL配線23は配線層の最も上の層を示している。また、1AL配線層21と2AL配線層22との間にある空間や2AL配線層22と3AL配線層23との間にある空間は、上下配線の電氣的なショートを防ぐ為の絶縁層である。

【0013】

【発明が解決しようとする課題】上述した従来の自動レイアウトシステムで作成したチップにおいて、配線層の多層化のために上層配線である3AL配線23は、下層配線である1AL配線21や2AL配線22の影響により大きな段差を生じている。そのため本来なら接続してなければならない3AL配線23が、配線の切断点25の個所で切断されてしまっている。そのため本来のLSI、ICの持つ機能を満たす事が出来なくなり、LSI、ICチップ製造時の歩留りが悪くなり、チップの電氣的信頼性までも悪くなってしまう。

【0014】本発明の目的は、このような自動レイアウトシステム使用によって上層配線が切断されたり細くなったりすることを防ぐ事により、チップ製造時の歩留りの改善とチップの電氣的信頼性の向上を図ったICの自動レイアウト設計システムを提供することにある。

【0015】

【課題を解決するための手段】本発明のIC自動レイアウト設計システムの構成は、デザインルール情報、データベースを入力し、これらから各配線層の配線図形情報を作成し、前記各配線層の未配線部分にダミー図形を作成し、このダミー図形により前記未配線部分の穴埋めを行うフラット機能を有する事を特徴とする。

【0016】

【実施例】図1は本発明のフラット機能を持つ自動レイアウトシステムの構成を示すブロック図である。この自動レイアウトシステムは、従来の自動レイアウトシステムに加えてフラット機能6が付加された事を大きな特徴としている。

【0017】このフラット機能6とは、自動配線機能で物理的な位置を決定された配線レイアウト情報の各配線層毎の未配線空間をダミー図形で埋める機能である。このフラット機能6は、自動配置機能、自動配線機能の処理終了後に実行される。

【0018】次に、フラット機能6の処理の流れを、図

2のフロー図を用いて説明する。

【0019】（1）デザインルール情報の入力処理（S1）

フラット処理を行うレイアウトのルール情報を入力する。これは配線間にダミー図形を作成する時に、配線図形との間隔や大きさを考慮する為に必要となる情報の入力処理である。

【0020】（2）データベースの入力処理（S2）

配線図形をデータベースから全て入力する。ここで入力する情報は、配線図形の他に、ダミー図形を発生させる為の必要情報（ライブラリやネットリストの配線図形など）も入力する。

【0021】（3）層毎の繰り返し処理（S3）

ここでは使用されている配線層の数を判断して、ダミー図形を発生する配線層があるか確認する。配線層のある・なしの確認の判断は、デザインルール情報などからも入力する事が出来る。配線層があれば、それぞれ一つの層毎に、次の配線図形情報の論理演算構造展開処理4、図形論理演算処理5、ダミー図形発生処理6を行うため“続き”の方へ処理が流れる。反対に配線層が無ければ“終り”の方へ処理が流れる事となる。

【0022】（4）配線図形情報の論理演算構造展開処理（S4）

ダミー図形を発生させる配線層にある配線図形を、図形論理演算ができるように論理演算構造に展開する。

【0023】（5）図形論理演算処理（S5）

配線図形の図形論理演算を行う。図形論理演算には、AND、OR、EXOR等多数の演算方法があるが、ここではそれらの演算により配線図形の使用されている位置を求める事が目的である。

【0024】（6）ダミー図形発生処理（S6）

図形論理演算処理で得られた配線図形の位置から、配線図形として利用されていない空間を探しだし、それらをダミー図形として発生させる。この場合、デザインルールによる配線図形との間隔や大きさ等の考慮も行っている。

【0025】（7）データベースの出力処理（S7）

ダミー図形として発生した情報を全てデータベースへ出力する。これらの一連の処理の流れにより、フラット機能を実現する事が可能となる。

【0026】このフラット機能6を使用した場合に作成されるチップのレイアウト図形は、図3で示すような断面図となり、従来技術の問題であった図7の3AL配線21～23の切断点（配線の切断点）25が、ダミー図形24を挿入した事で取り除く事が出来る。

【0027】図4（a）～（d）は、この自動レイアウトシステムにより2層配線で設計されたチップの一部の平面図を示している。図4（A）は、従来の自動レイアウトシステムにより、1AL層21、2AL層22を使用した2層ルールで設計されたレイアウト図を示し、1

AL配線21は、下層の層に配線されている図形情報であり2AL配線22は、上層の層に配線されている図形情報である。配線されて無い部分は、従来の自動レイアウトシステムでは、何の図形情報も存在していない。

【0028】図4(B)は、本実施例のフラット機能を使用して設計した同じ個所のレイアウト図である。この図では、フラット機能6により作成されたダミー図形24のパターンが理解しにくいので、1AL配線層21と2AL配線層22毎に分割した図4(C)、(D)で説明をする。

【0029】図4(C)は、このフラット機能を使用して配線した場合の1AL配線層21のみの図形情報を示している。1AL配線21は、従来の自動レイアウトシステムで作成されている配線図形であり、ダミー図形24は、このフラット機能6で作成された、未配線部分を埋めるためのダミー図形である。

【0030】図4(D)も同様に2AL配線層22のみの図形情報を示した図であり、2AL配線22とダミー図形24が生成されている。1AL配線21とダミー図形24の間、または2AL配線22とダミー図形24との間には、多少の空間が存在しているが、これは、配線とダミー図形が接触する事による、電気的なショートを避けるためであり、フラット機能処理の説明した、入力するデザインルール情報に間隔の大きさが設定してある為である。

【0031】次にフラット機能で実現できる、特殊な使用方法の例を図5により説明する。第1の実施例では、配線以外の空間をダミー図形24の生成で埋めつくす例を説明したが、本実施例は、ダミー図形の生成できない禁止領域26を考慮してダミー図形を生成するフラット機能の例を説明する。図5(A)、(B)は第1の実施例で説明したレイアウト図と同一箇所の図である。

【0032】本実施例の特殊な機能とは、図5(A)のダミー図形禁止領域26で示す領域を、デザインルール情報に予め設定して置く事で、フラット機能の“デザインルール情報の入力処理”で、その情報を入力する事が出来る。

【0033】入力されたダミー図形禁止領域は、“ダミー図形発生処理S6”において、図5(B)で示す1AL配線層21のみのレイアウト図のダミー図形を、指定された禁止領域には発生させない事が出来る。この例では、1AL配線層21のダミー図形禁止領域26のみを指定している所を説明しているが、この機能は、1AL配線層のみではなく、2AL配線層や3AL配線相当の多層ルールで設計されるチップの全ての配線層で、個々にダミー図形禁止領域を指定する事が可能である。

【0034】このような機能は、自動レイアウトシステム

ムを使用して設計したレイアウト図に、意図的に配線図形の手修正をしたい場合などに有効である。予め、手修正する層や場所に禁止領域を指定しておけばダミー図形を削除する手間が省けるという利点がある。

【0035】

【発明の効果】以上説明したように、本発明によれば、従来の自動レイアウトシステムでは考慮されていなかった配線層の段差による配線経路の切断や、配線が細くなってしまう問題を、100%防ぐ事が可能になり、チップ製造時の歩留りの改善や、チップ信頼性の向上が図られるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図。

【図2】図1のフラット機能の処理を説明する流れ図。

【図3】図1のシステムで設計したチップの一例の断面図。

【図4】図1のシステムで設計したチップのレイアウト図。

【図5】図1のシステムで設計したチップの他の例の平面図。

【図6】従来の自動レイアウトシステムの構成を示すブロック図。

【図7】図6のシステムで設計したチップの断面図。

【符号の説明】

- | | |
|----|-------------------|
| 1 | レイアウトライブラリ入力機能 |
| 2 | ネットリスト入力機能 |
| 3 | 自動配置機能 |
| 4 | 移動配線機能 |
| 5 | 図形情報出力機能 |
| 6 | フラット機能 |
| 11 | レイアウトライブラリデータ |
| 12 | ネットリストデータ |
| 13 | データベース |
| 14 | レイアウトデータ |
| 21 | 1AL配線 |
| 22 | 2AL配線 |
| 23 | 3AL配線 |
| 24 | ダミー図形 |
| 25 | 配線の切断点 |
| 26 | ダミー図形禁止領域 |
| S1 | デザインルール情報の入力処理 |
| S2 | データベースの入力処理 |
| S3 | 層毎の繰り返し処理 |
| S4 | 配線図形情報の論理演算構造展開処理 |
| S5 | 図形論理演算処理 |
| S6 | ダミー図形発生処理 |
| S7 | データベースの出力処理 |